

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-150161

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl.^{*}
H 01 L 21/60
23/28
23/50

識別記号
3 1 1
3 0 1

F I
H 01 L 21/60
23/28
23/50

3 1 1 W
3 0 1 B
A
Q

審査請求 未請求 請求項の数4 OL (全5頁)

(21)出願番号 特願平9-315405

(22)出願日 平成9年(1997)11月17日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 前田 健児

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 弁理士 宮井 喰夫

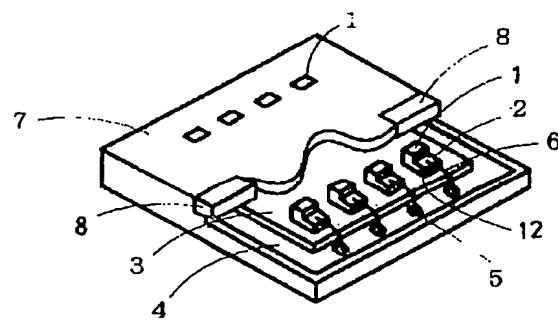
(54)【発明の名称】 リードフレームとその製造方法およびそのリードフレームを使用した半導体装置

(57)【要約】

【課題】 従来の製造技術によって安価に製造することが可能で、素子周辺に電極パッド5を配置した半導体素子4にも適用可能で、かつ半導体素子サイズに略近い小型化が図れるリードフレームとその製造方法およびそのリードフレームを使用した半導体装置を得る。

【解決手段】 リード外枠9に吊りリード8と端子部10を接続してなるリードパターンを形成し、吊りリード8ならびに端子部10に両面接着テープ3の一面を貼着し、端子部10を化学的エッティング加工／プレス打ち抜き加工して独立端子12を形成してリードフレーム11を形成する。このリードフレーム11を使用し、半導体素子4の回路形成面にリードフレーム11の両面接着テープ3の他面を貼着し、リードフレーム11の独立端子10と半導体素子4の電極パッド5とをワイヤー6にて電気的に接続し、独立端子10の一部を外部に露出させて半導体素子4ならびにリードフレーム11をパッケージ7で封止する。

1…外部端子 6…ワイヤー
2…内部端子 7…パッケージ
3…両面接着テープ 8…吊りリード
4…半導体素子 12…独立端子
5…電極パッド



BEST AVAILABLE COPY

1

2

【特許請求の範囲】

【請求項1】 フレーム外枠に接続した吊りリードと、前記吊りリードに一面を貼着した両面接着テープと、前記両面接着テープの一面に貼着した独立端子とを備えたリードフレーム。

【請求項2】 リード外枠とこのリード外枠に接続した吊りリードとこの吊りリードに接続した端子部とからなるリードパターンを形成する工程と、前記吊りリードならびに前記端子部に両面接着テープ的一面を貼着する工程と、前記端子部を化学的エッティング加工して独立端子を形成する工程とを含むリードフレームの製造方法。

【請求項3】 リード外枠とこのリード外枠に接続した吊りリードとこの吊りリードに接続した端子部とからなるリードパターンを形成する工程と、前記吊りリードならびに前記端子部に両面接着テープ的一面を貼着する工程と、前記端子部をプレス打ち抜き加工して独立端子を形成する工程とを含むリードフレームの製造方法。

【請求項4】 請求項1記載のリードフレームを使用した半導体装置であって、半導体素子の回路形成面に前記リードフレームの両面接着テープの他面を貼着し、前記リードフレームの独立端子と前記半導体素子の電極パッドとをワイヤーにて電気的に接続し、前記独立端子の一部を外部に露出させて前記半導体素子ならびに前記リードフレームをパッケージで封止したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、リードフレームとその製造方法およびそのリードフレームを使用した半導体装置に関するものである。

【0002】

【従来の技術】 半導体装置の高集積化が進む中で、半導体装置のパッケージ寸法を半導体素子の寸法に近づけようとする技術が展開されている。この方法には2種類あり、一つはペア半導体素子実装と呼ばれるものである。これは、半導体素子をプリント基板に直接実装し、樹脂で封止した構造になっている。

【0003】 もう一つの方法は、従来と同様にパッケージ化を行ない、そのパッケージを極力半導体素子の寸法まで小さくする方法である。これは一般にCSP(チップサイズパッケージまたはチップスケールパッケージの略)と呼ばれている。CSPの構造の公知例としては、特開平6-224259号公報において、スルーホールを設けたセラミック基板に半導体素子を搭載し、セラミック基板の反対面に電極を設け、プリント基板に実装する構造が記載されている。特開平6-302604号公報では、半導体素子の回路形成面に金属配線パターンを形成し、これに外部端子を設けた構造のCSPが記載されている。また、特開平6-132453号公報では、従来のLOCパッケージ(リードオンチップパッケ

ジ)のリードを半導体素子の範囲内においてパッケージ表面に露出させた構造のSON(スマールアウトラインノンリーディッドパッケージの略)と呼ばれている)が開示されている。さらに、従来のQFP(クワッドフラットパッケージの略)のリードを片面封止によってパッケージ表面に露出させた構造の小型パッケージ(QFN(クワッドフラットノンリーディッドパッケージの略)と呼ばれている)が実用化されている。

【0004】

【発明が解決しようとする課題】 上記SONとQFNを除く従来のCSPの構造が、リードフレームを用いた通常のパッケージの構造に比べてかなり複雑になり、さらに従来用いなかった接続技術などの開発が必要になる。このため、これらのパッケージは製造コストが高くなるという問題があった。

【0005】 これに対し、SONとQFNでは従来の技術の使用が可能であり、製造コストが安くなるという利点がある。しかし、SONは電極パッドが半導体素子周辺に配置された半導体素子にはリードフレームの引き回しが難しいため適用し難く、QFNはパッケージが半導体素子よりも外部電極のサイズ分だけ大きくなるという問題があった。

【0006】 この発明は、これらのCSP構造の欠点に鑑み、従来の製造技術によって安価に製造することが可能で、素子周辺に電極パッドを配置した半導体素子にも適用可能で、かつ半導体素子サイズに略近い小型化が図れるリードフレームとその製造方法およびそのリードフレームを使用した半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 請求項1記載のリードフレームは、フレーム外枠に接続した吊りリードと、吊りリードに一面を貼着した両面接着テープと、両面接着テープの一面に貼着した独立端子とを備えたものである。請求項2記載のリードフレームの製造方法は、リード外枠とこのリード外枠に接続した吊りリードとこの吊りリードに接続した端子部とからなるリードパターンを形成し、吊りリードならびに端子部に両面接着テープ的一面を貼着し、端子部を化学的エッティング加工して独立端子を形成するものである。

【0008】 請求項3記載のリードフレームの製造方法は、リード外枠とこのリード外枠に接続した吊りリードとこの吊りリードに接続した端子部とからなるリードパターンを形成し、吊りリードならびに端子部に両面接着テープ的一面を貼着し、端子部をプレス打ち抜き加工して独立端子を形成するものである。請求項4記載の半導体装置は、請求項1記載のリードフレームを使用したものであって、半導体素子の回路形成面にリードフレームの両面接着テープの他面を貼着し、リードフレームの独立端子と半導体素子の電極パッドとをワイヤーにて電気

的に接続し、独立端子の一部を外部に露出させて半導体素子ならびにリードフレームをパッケージで封止したことを特徴とするものである。

【0009】この発明のリードフレームとその製造方法およびそのリードフレームを使用した半導体装置によると、従来からある製造装置を使用して製造でき、開発生産に要するコストを低く抑えられ、また素子周辺に電極パッドを配置した半導体素子にも適用可能で、さらに半導体素子サイズに近い小型化および軽量化が図れる。

【0010】

【発明の実施の形態】第1の実施の形態

この発明の第1の実施の形態を図1ないし図7に基づいて説明する。図1は半導体装置の斜視図であって、構造の理解を助けるためにパッケージの一部を取り除いた状態を示しており、また図2は半導体装置の断面図を示している。

【0011】図1および図2において、外部端子1と内部端子2からなる複数の独立端子12と吊りリード8が、電気的絶縁両面接着テープ3の一面に貼着されており、両面接着テープ3の他面は半導体素子4の回路形成面に貼着してある。外部端子1は内部端子2に対して高く形成されており、半導体素子4の周辺に形成した電極パッド5と内部端子2とはワイヤー6により電気的に接続されている。また、これらの部材は樹脂により封止されており、外部端子1は封止樹脂からなるパッケージ7の外部に露出している。さらに、吊りリード8はパッケージ7の側面において切断されており、外部端子1の外部露出部分は半田メッキ等の表面処理により半田との濡れ性を良くしてある。

【0012】図3は、半導体装置に使用するリードフレーム11の平面図を示している。リードフレーム11は、吊りリード8を形成したフレーム外枠9と、一面を吊りリード8に貼着したポリイミドテープ等の両面接着テープ3と、両面接着テープ3の一面に貼着した複数の独立端子12とから構成されている。図4ないし図6は、リードフレーム11の製造工程を示している。まず、化学的エッチング加工またはプレス打抜き加工によって、吊りリード8、リード外枠9および端子部10からなるリードパターンの概形を形成する(図4)。そして、吊りリード8および端子部10に両面接着テープ3の一面を貼着する(図5)。両面接着テープ3の貼着後、ハーフエッチング加工によって独立端子12のワイヤーボンドエリアとなる低い部分、すなわち内部端子2を形成する(図6)。最後に化学的エッチング加工またはプレス打抜き加工によって各独立端子12を分離し完成とする(図3)。なお、図1には吊りリード8、独立端子12の一部を省略してある。

【0013】次に、図7(a)～(d)を用いて半導体装置の製造方法について説明する。図7(a)は半導体素子4の断面図を示しており、半導体素子4の回路形成

面の周辺に電極パッド5が形成されている。そして、図7(b)に示すように、半導体素子4に両面接着テープ3を介して独立端子12を接着する。すなわち、あらかじめ独立した状態に形成された独立端子12を持つリードフレーム11(図3)を使用する。そして、独立端子12の内部端子2と半導体素子4の電極パッド5をワイヤー6により電気的に接続し(図7(c))、外部端子1がパッケージ7の外部に露出するように樹脂で封止する(図7(d))。この後、外部端子1の外部露出部に実装用半田ペーストとの濡れ性の良い半田メッキ等の表面処理を行い、吊りリード8を切断し半導体装置を分離して完成する。

【0014】このように構成されたリードフレーム11とその製造方法およびそのリードフレーム11を使用した半導体装置によると、従来からある製造装置を使用して製造でき、開発生産に要するコストを低く抑えられ、また素子周辺に電極パッド5を配置した半導体素子4にも適用可能で、さらに半導体素子サイズに近い小型化および軽量化が図れる。特に高密度実装が要求され、外部端子数が100ピンぐらいまでの少数ピンで、かつ電極パッド5が素子の周辺に配置された半導体素子4に有効である。当然であるが、電極パッドが中央に配置された半導体素子にも有効である。

【0015】なお、前記実施の形態では、ハーフエッチング加工工程をテープ貼り付け加工後に行っているが、リードパターンの概形成形前や概形成形後、あるいは端子分離後等いずれの工程で行ってもよい。また、ハーフエッチングを独立端子12となる部分以外にも同時に施しておくことで、テープ貼り付け加工後に独立端子12となる部分以外をエッチングにて除去する際、リード厚が薄い分エッチングし易くなる。

【0016】また、独立端子が低い部分と高い部分を有していないなくてもよく、半導体素子の電極パッドと独立端子とをワイヤーボンディングによって電気的に接続し、独立端子と電気的に接続された半導体素子を吊りリードと両面接着テープを介してリードフレームに貼着した状態で、独立端子の少なくとも一部分がパッケージ外部に露出するように樹脂封止する。なお、「外部端子の少なくとも一部分はパッケージの外部に露出し」とは、突出していることが実用的ではあるが、突出していないともよい。

【0017】また、前記実施の形態では、リードパターンの形成後に両面接着テープ3を貼着したが、全くリードパターンを成形しない状態で両面接着テープ3を貼着してもよい。すなわち、両面接着テープ3を耐薬品性の高いものとし、貼付け後にリード側にマスクを施してエッチングしてもよい。

第2の実施の形態

図8は、第2の実施の形態を示す断面図である。なお、図1ないし図7に示した例と同一部分は同一符号を付し

てその説明を省略する。この実施の形態では、パッケージ7の外部に露出する外部端子15として半田等の金属ボルトを使用している。外部端子15と内部端子16は、電気的かつ機械的に接続されて独立端子14を形成している。

【0018】このように構成されたリードフレームとその製造方法およびそのリードフレームを使用した半導体装置においても、図1ないし図7に示した第1の実施の形態と同様の効果が得られる。

第3の実施の形態

図9は、第3の実施の形態を示す断面図である。なお、図1ないし図7に示した例と同一部分は同一符号を付してその説明を省略する。この実施の形態では、独立端子19は折曲により外部端子17ならびに内部端子18を形成したものであり、外部端子17はパッケージ7の外部に露出している。

【0019】リードフレームは、リードパターンの概形を化学的エッチングまたはプレス打ち抜き加工によって形成し、リード先端をワイヤーボンド面を上面として下方に折り曲げ、両面接着テープ3をワイヤーボンド面の反対側に貼付け、化学的エッチングにより各独立端子19を分離することにより製造される。このように構成されたリードフレームとその製造方法およびそのリードフレームを使用した半導体装置においても、図1ないし図7に示した第1の実施の形態と同様の効果が得られる。

【0020】

【発明の効果】この発明のリードフレームとその製造方法およびそのリードフレームを使用した半導体装置によると、従来からある製造装置を使用して製造でき、開発生産に要するコストを低く抑えられ、また素子周辺に電極パッドを配置した半導体素子にも適用可能で、さらに半導体素子サイズに近い小型化および軽量化が図れる。

特に、100ピンまでの少数ピンで電極パッドが素子周

辺に配置されている半導体素子に有効である。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態の半導体装置の一部破断斜視図である。

【図2】この発明の第1の実施の形態の半導体装置の断面図である。

【図3】この発明の第1の実施の形態の半導体装置に使用するリードフレームの平面図である。

【図4】この発明の第1の実施の形態の半導体装置に使用するリードフレームの製造工程図である。

【図5】この発明の第1の実施の形態の半導体装置に使用するリードフレームの製造工程図である。

【図6】この発明の第1の実施の形態の半導体装置に使用するリードフレームの製造工程図である。

【図7】この発明の第1の実施の形態の半導体装置の製造工程図である。

【図8】この発明の第2の実施の形態の半導体装置の断面図である。

【図9】この発明の第3の実施の形態の半導体装置の断面図である。

【符号の説明】

1, 15, 17 外部端子

2, 16, 18 内部端子

3 両面接着テープ

4 半導体素子

5 電極パッド

6 ワイヤー

7 パッケージ

8 吊りリード

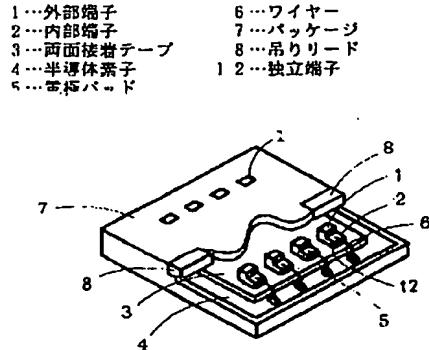
9 フレーム外枠

10 端子部

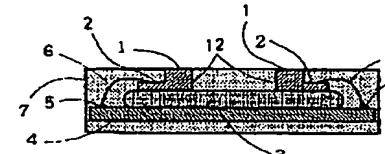
11 リードフレーム

12, 14, 19 独立端子

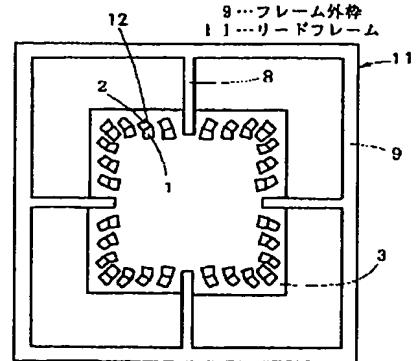
【図1】



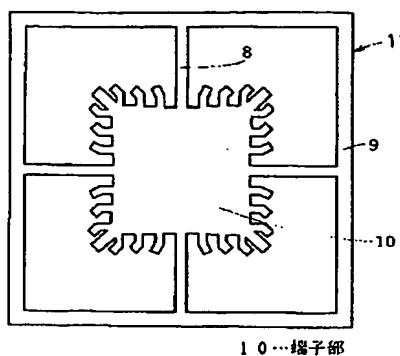
【図2】



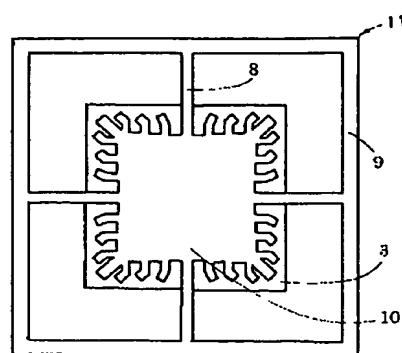
【図3】



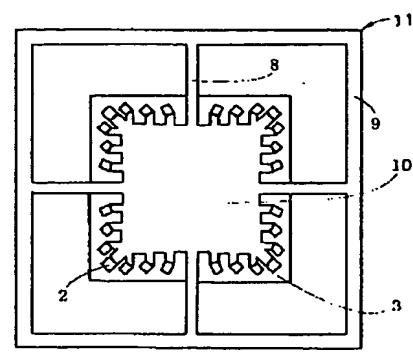
【図4】



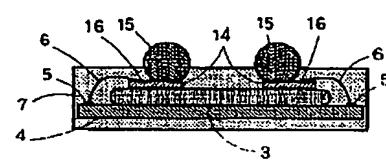
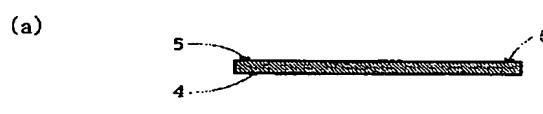
【図5】



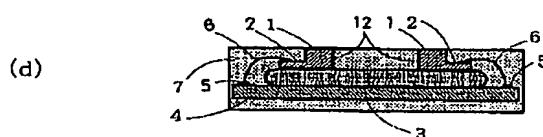
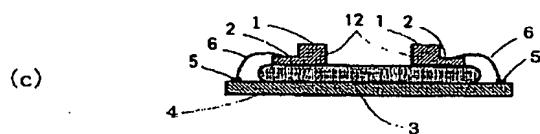
【図6】



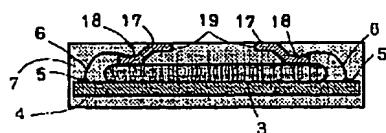
【図7】



1 4 … 独立端子
1 5 … 外部端子
1 6 … 内部端子



【図8】



1 7 … 外部端子
1 8 … 内部端子
1 9 … 独立端子